

AIデータセンターの省エネ高性能化が変えるロジック半導体の構造



MITSUI & CO.
GLOBAL STRATEGIC
STUDIES INSTITUTE

—裏面給電（BSPDN）技術の動向とバリューチェーンへの参入機会—

三井物産戦略研究所

技術・イノベーション情報部コンシューマーイノベーション室

小川 玲奈

Summary

- AIデータセンターの消費電力低減・高効率化の要求が、ロジック半導体の構造を変えようとしている。従来はウエハの表面にのみ形成されていた回路の一部を、ウエハの裏面に形成する「裏面給電（BSPDN）」の導入が2026年から2027年にかけて主要ファウンドリーで予定されている。
- 半導体トランジスタの微細化により、チップ内部の配線も微細化が進んできたが、従来の技術の改善が限界を迎えつつある。BSPDNは、配線の微細化限界のブレークスルー技術として期待されている。
- BSPDN導入により、従来の前工程のプロセスに新たなプロセスが加わる。それは、材料、製造装置、ソフトウェア等の関連企業に新たな成長をもたらす。

1. ロジック半導体の裏面給電（Backside Power Delivery Network : BSPDN）技術とは？

ロジック半導体は、AIデータセンター（DC）やスマートフォンなど、電気電子機器の「脳」として演算を行う半導体である。2026年の売上は前年比10%の成長が見込まれ、3,000億ドル（約45兆円）と予想されている¹。この成長を享受するキーテクノロジーとして、開発競争が激化している要素技術がBSPDNである。

1-1. AI DCが求める省エネ・高効率化とロジック半導体の課題

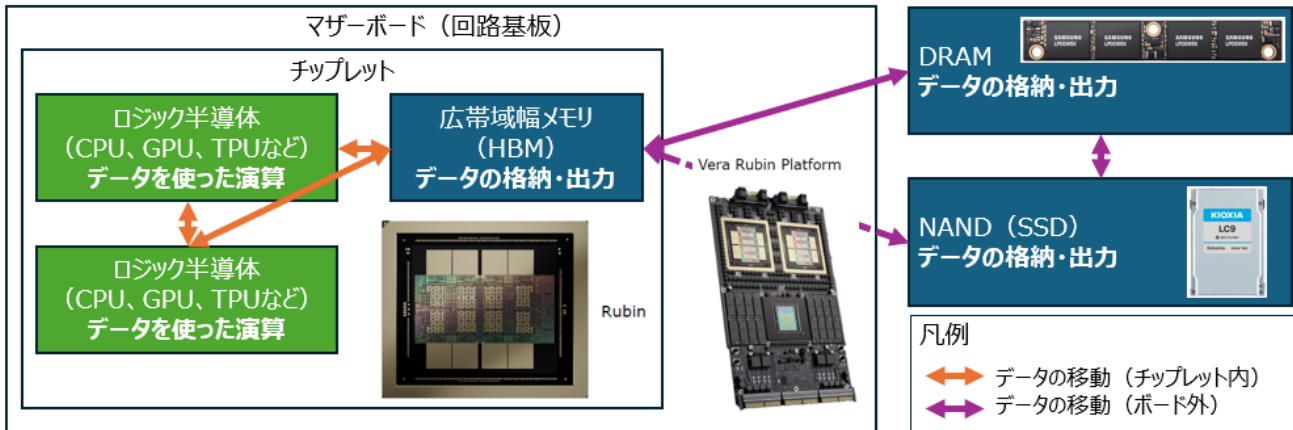
生成AIのインフラとしてDCの開発と建設に莫大（ばくだい）な資金が投じられている。このDCで演算を行うロジック半導体（図表1）には、演算の高速化に加え、消費電力の削減が求められている。従来のロジック半導体は、電流の流れを制御する半導体素子「トランジスタ」のサイズを小さく（微細化）することで高性能・低消費電力を実現してきた²。トランジスタの微細化については、2039年までのロードマップ³が半導体業界関係者間で共有されている。

¹ BUSINESS WIREウェブサイト “[AI Drives Semiconductor Revenues Past \\$1 Trillion for the First Time in 2026](#)”

² 詳細については[2021年に注目すべき技術](#) p.12 EUVリソグラフィー 半導体はなぜ微細化を目指すのか をご参照ください。

³ [imecウェブサイト](#) Figure.1 The imec logic technology roadmap

図表 1 AI DC のデータを扱う半導体の概要とロジック半導体の位置づけ



注1：チップレットの中に異なる種類のロジック半導体が複数載せられたり、複数のHBMが載ったりする。

注2：HBM、DRAM、NANDは、データの転送速度と記憶容量にトレードオフがあり、ロジック半導体に近いものほど高い転送速度が求められる。いずれも、更なるデータ転送速度の高速化・大容量化と消費電力の削減が求められている。

注3：写真には2026年4月時点で最先端のデバイスをイメージとして載せたが、Rubin のロジック半導体には、BSPDNは採用されない。

出所：三井物産戦略研究所作成。

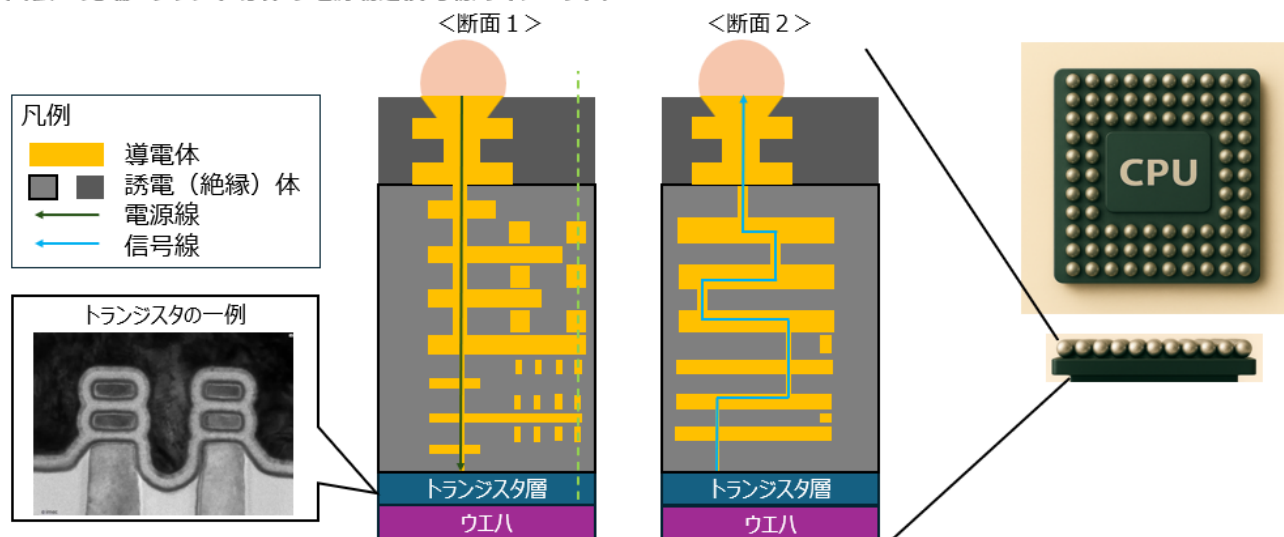
写真は ISSCC 2026 Forum 1.2: From VLSI through Algorithms: Optimizing the Computing Stack for Agentic AI (NVIDIA, Brucek Khaliany氏講演資料

Samsungウェブサイト <https://semiconductor.samsung.com/news-events/tech-blog/introducing-samsungs-socamm2-new-lpddr-memory-module-empowering-next-generation-ai-infrastructure/>

KIOXIAウェブサイト <https://www.kioxia.com/ja-jp/business/news/2025/20250314-1.html>

一方で、トランジスタを動作させるための電源を供給する回路「電源線」と、出力された信号を伝えるための回路「信号線」（図表2）は、トランジスタの微細化に合わせてより細くしてきたが、回路を作る（配線を形成する）ために使われる金属の電気抵抗による電力のロスや信号の劣化が無視できなくなっている。また、設計の工夫による回路の高密度化も限界を迎えつつある。

図表2 先端ロジック半導体の電源線と信号線のイメージ図



注1：トランジスタと配線層の配置は従来のロジック半導体のものであり、BSPDNとは異なる。また、各層の厚みも実際の厚みとは異なる。また、ウエハとトランジスタ層の間に電源線とトランジスタ層を電氣的に接続するための「埋め込み電源レール（Buried Power Rail：BPR）」が設けられることもある。

注2：断面2は信号線のイメージを示すために断面1の黄緑の点線部分の断面を模式的に示したものである。実際の配線断面を正確に示したものではない。

出所：三井物産戦略研究所作成

トランジスタの一例（Gate All Aroundの透過型電子顕微鏡写真はimecウェブサイト<https://www.imec-int.com/en/articles/outer-wall-forksheets-bridge-nanosheet-and-cfet-device-architectures-logic-technology>

1-2. 微細化を延命させる裏面給電（BSPDN）技術

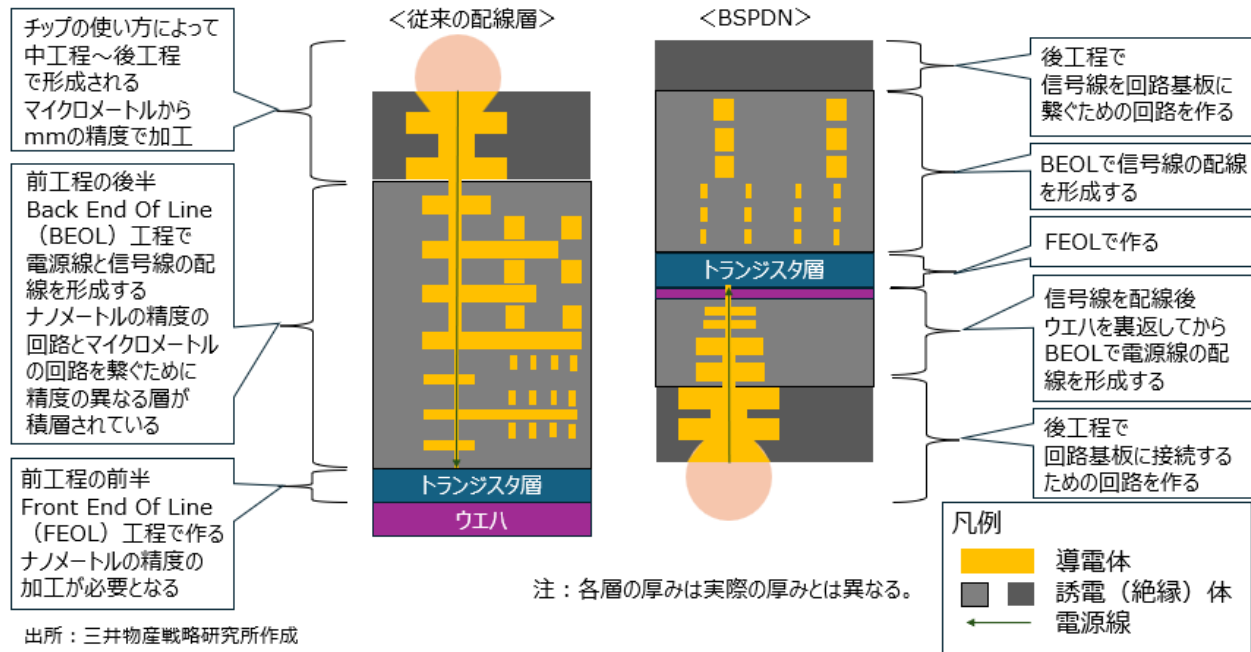
2019年に、電源線の配線をウエハの裏側に形成することで、電力ロスを低減できることを、（米）Arm Research、（ベルギー）imecおよび（米）テキサス大学オースティン校の共同研究チームが実証した⁴ことが、BSPDNの端緒である。電源線、信号線の回路の配線を短くでき、しかも信号線と電源線を異なる面に形成することになるため、電力ロスや信号の劣化低減に加えて設計の自由度も向上する。

BSPDNでは、半導体製造における前工程に新たなプロセスが加わる⁵。従来は、トランジスタを作る工程（FEOL：Front End of Line）の後、配線工程（BEOL：Back End of Line）で、電源線と信号線両方の配線を形成するが、BSPDNでは、信号線を作った後にウエハを裏返して電源線の配線を形成する（図表3）。

⁴ 2019 IEEE International Electron Devices Meeting (IEDM), [Buried Power Rails and Back-side Power Grids: Arm CPU Power Delivery Network Design Beyond 5nm](#)

⁵ 半導体の製造工程のイメージを見たい方は、SEMIウェブサイトの[イラストで分かる半導体製造工程【詳細版】](#)をお勧めする。前工程のうち、FEOLはトランジスタのゲート領域形成からトランジスタのコンタクト孔形成までのプロセス、BEOLはトランジスタの電極・配線形成のプロセスである。

図表3 従来の配線層とBSPDNの配線層



トランジスタは、水素原子約10個分程度⁶の大きさに相当する、10億分の1メートル（ナノメートル：nm）といった原子レベルのスケールで作られるが、電源線、信号線いずれも最終的には、ミリメートルの線幅で作られる回路基板の回路に接続される。そのため、FEOLでは数十nmほどの線幅で作られた配線と、その1,000倍以上のマイクロメートルスケール⁷の線幅を、線幅を徐々に変えながらつなぐために、多くの層からなる配線が必要とされる。同様に、後工程では、マイクロメートルスケールの回路をミリメートルスケールの回路につなぐため、ここでも多層の配線が必要とされる。

2. BSPDN導入によって起きるバリューチェーンの変化

前節で述べたように、BSPDNでは、ウエハを裏返して加工するという新たなプロセスが加わる。本章では、これによるバリューチェーンの変化について解説する。

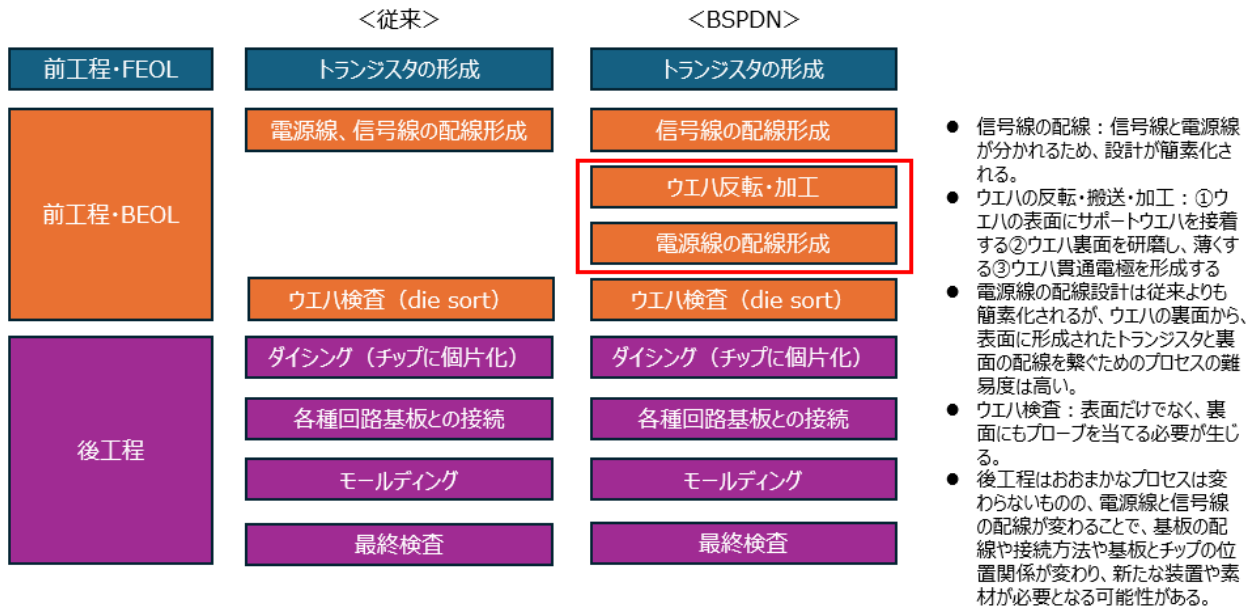
2-1. BSPDN導入で変わる製造プロセス

BSPDNを導入することで、BEOL以降の全ての設計、製造、検査が変わることになる。中でも新規性と難易度が高いプロセスを図表4の赤枠で示した。図表5、6はより詳細なプロセスイメージの一例である。

⁶ 陽子1個と電子1個からなる水素原子の電子の軌道の半径は約0.1nmであり、これを1個分の大きさとした場合。

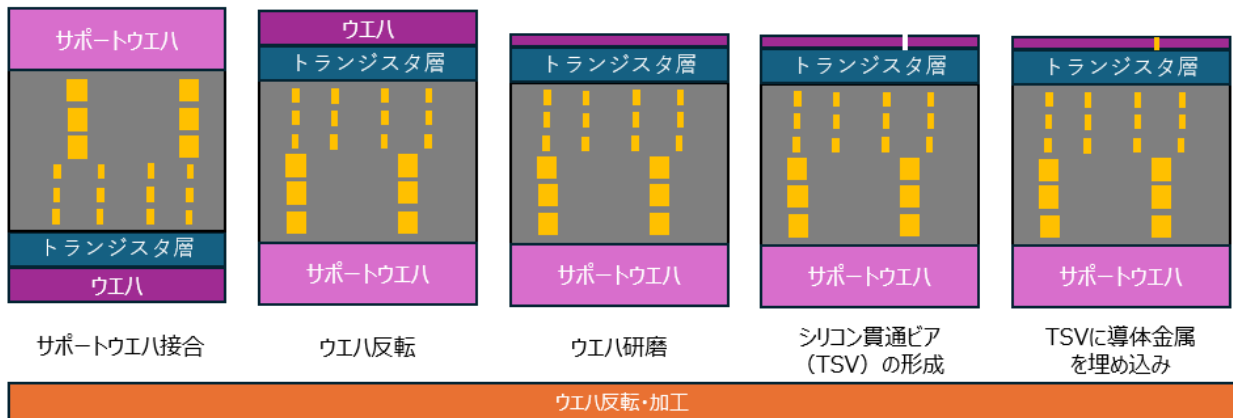
⁷ マイクロメートルスケールのもとして、細菌（バクテリア）やPM2.5（2.5マイクロメートル以下の粒子）がある。

図表4 従来の製造工程とBSPDNを導入した場合の製造工程



出所：三井物産戦略研究所作成

図表5 BSPDNのウエハ反転・加工プロセスの詳細（一例）



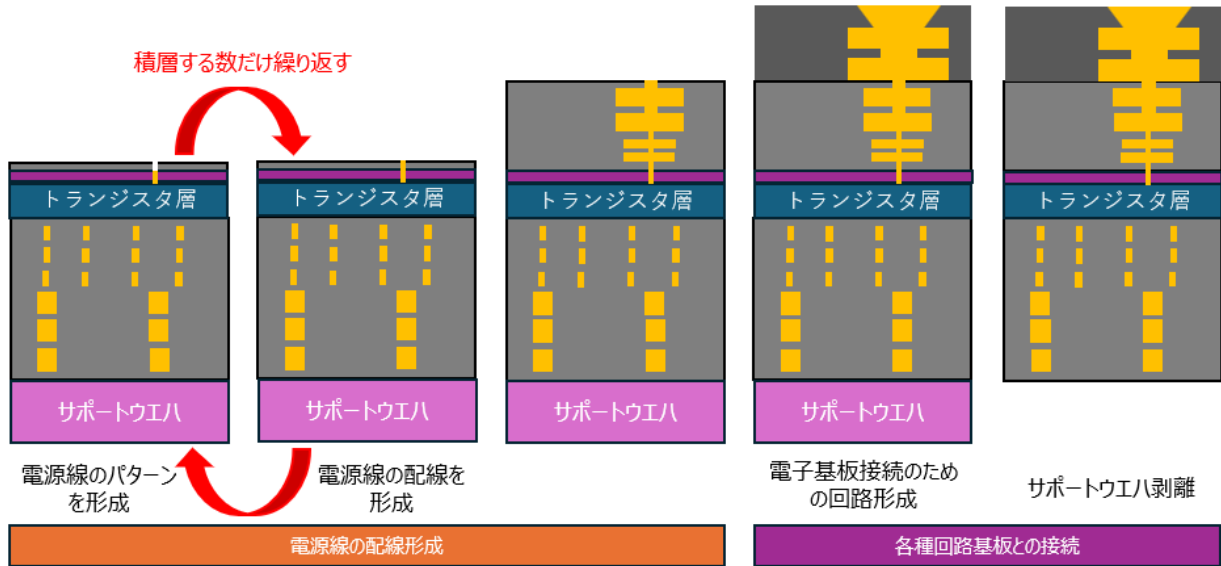
注1：各層の厚みは実際の層の厚みとは異なる。

注2：TSVは単純化するために1つのみ描いているが、実際のウエハ全体では数多くのTSVが形成される。

出所：三井物産戦略研究所作成

ウエハの表面にトランジスタ層と信号線を作り込んだことで表裏非対称となったウエハが、後に続く反転・加工のプロセスで反ることがないように、信号層の上面にサポートウエハが貼り付けられる。トランジスタ層と裏面に形成する電源線の配線をつなぐためには、ウエハに微細な孔（あな）をあける必要があるが、孔の深さが深いほど、精度の高い孔を形成するのが難しくなる。そのため、孔をあける前に研磨を行い、できる限りウエハを薄くする。10マイクロメートル以下の厚みにまで薄くしたウエハに孔をあけ、電子を通ずる導体としての金属を形成する。

図表6 BSPDNの電源線側の配線形成～各種回路基板との接続プロセスの詳細（一例）



注1：各層の厚みは実際の層の厚みとは異なる。
 注2：サポートウエハ剥離のタイミングは、中後工程との兼ね合いによって異なる。

出所：三井物産戦略研究所作成

電源線形成プロセスでは、ウエハ表面のトランジスタと裏面の配線をずれなく接続するために、製造装置には高い位置決め精度が、配線材料には微細なパターンを形成するための高い性能と品質管理が、それぞれ求められる。加えて、前工程のファウンドリーからは、新たなプロセスの導入に際し、製造コストの上昇はできるだけ抑えたい、という要望もある。そのため、満たすべき性能に加え、ウエハの処理速度の高速化や消費エネルギーの最小化に資する技術を兼ね備えていることが重要である。

2-2. 代表的なロジック半導体製造ファウンドリーのBSPDN導入計画

2023年に（米）intelが「PowerVia」という同社独自のBSPDN技術と、そのプロトタイプの動作に成功したことを公表した。直径100nm～500nmという極細のTSV（nano TSV）をウエハ1枚あたり数百万個形成し、トランジスタの上下に形成された電源線をつなぐ構造となっている⁸。同社の技術は、2026年1月5日CES2026で正式発表された「Intel Core Ultraシリーズ3プロセッサ」が同社プロセッサへの初めての採用となった。NVIDIAが2028年にリリース予定のGPU⁹「Feynman」のGPUの演算以外の機能を担うダイの委託を受ける見通しとの報道もある¹⁰。

（台）TSMCは、同社のBSPDN技術を「Super Power Rail」と名付け、ハイパフォーマンスコンピューティング向けで2026年中に製造開始予定のA16プロセスで採用する見込みである。NVIDIAが同社の技術の優先ア

⁸ Intelウェブサイト、[インテル® 18A: インテルの最大のプロセス・イノベーションを見る](#)

⁹ 同GPUはチップレット技術により、複数のダイを高速接続することで作られる。ダイとは、ウエハ上に機能別に形成された集積回路のことである。チップレットについての詳細な説明は[Biz Tech フォーカス2025 チップレット](#)を参照のこと。

¹⁰ WCCF TECH, NVIDIA Looks to Intel's 18A/14A Process and EMIB Packaging for Next-Gen Feynman AI Chips, Signaling a Major Foundry Shift Beyond TSMC (2026年1月28日公開)

クセス権を得ている¹¹ことから、適用される製品はFeynmanのGPUの演算部分のダイになると考えられる。PowerViaとの違いは、トランジスタの裏面に直接電源線を接続することで、よりコンパクトな配線となっている¹²点にある。

(韓) Samsung Foundry は2024年にロードマップを公開しており、2027年の量産開始を予定している2nmプロセスの派生プロセス「SF2Z」にBSPDN技術を適用すると発表していた¹³が、2024年末の時点で前世代のプロセスの歩留まり改善が遅れていることから¹⁴、スケジュールの遅延が予想される。

2-3. 注目すべき新たなニーズ

BSPDN実現にあたって新たに必要となる要素技術を材料、製造装置、設計ツールに分けて示す(図表7)。材料メーカーにとっては、サポートウエハやその貼り合わせ、ウエハ研磨用のCMPスラリーやnano TSV形成、裏面に電源線を配線形成するための各種材料に新たな参入機会がある。

製造装置メーカーには、サポートウエハの脱着、ウエハ搬送、TSV形成、裏面の配線形成に使用される装置に事業拡大の機会がある。

半導体設計ツールの開発は、ファウンドリーと大手EDA (Electronic Design Automation: 電子設計自動化) ベンダー¹⁵の共同開発を軸に進められているが、大手EDAベンダーが提供するEDAツール¹⁶と互換性があり、BSPDNの設計効率をより高めるためのシミュレーターの開発や、後工程以降の設計との円滑な情報共有を支援するソフトウェアの開発などに参入余地があると考えられる。

¹¹ TECHINASIA, [Nvidia gets exclusive access to TSMC's A16 chip process](#) (2025年10月30日公開)

¹² SEMICONDUCTOR ENGINEERING, [TSMC Uncorks A16 With Super Power Rail](#) (2024年4月25日公開)


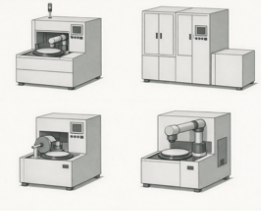
¹³ Samsungウェブサイト, [Samsung Showcases AI-Era Vision and Latest Foundry Technologies at SFF 2024](#) (2024年6月13日公開)

¹⁴ TECH POWER UP, [Samsung Foundry in Trouble, Might Cancel 1.4 nm Node High-Volume Manufacturing](#) (2025年3月14日公開)

¹⁵ 大手EDAベンダーとは、(米) Synopsys、(米) Cadence Design Systems、(独) Siemens EDA の3社のことを指す。

¹⁶ EDAツールとは、大規模かつ複雑な電子回路の設計を高速かつ高品質に行うためのソフトウェア群のことである。半導体前工程向けのEDAツールは、大手EDAベンダーの寡占となっている。一方、後工程以降の工程向けEDAツールは多くの企業がさまざまな製品向けに内製や外販をしている。

図表7 BSPDN導入で生じるプロセス・分野別のニーズ

プロセス	ウエハ反転・加工	電源線の配線形成	その他
材料 	サポートウエハ サポートウエハ接着剤 CMP (Chemical Mechanical Polishing) スラリー 洗浄液 EUV フォトレジスト* エッチングガス (SF ₆ **)	フォトマスク フォトレジスト (EUV, KrF等) 配線材料 (銅、TiNなど) エッチングガス CMPスラリー めっき液 洗浄液	洗浄液 はんだ ダイシングブレード (ダイヤモンド) 再配線層 (RDL) 形成用レジスト めっき液 半導体封止材
製造装置 	サポートウエハ貼合せ装置 搬送装置 CMP装置 (研磨装置) レジスト塗布装置 EUV露光装置 現像装置 洗浄装置 ドライエッチング装置 (RIE) アッシング装置	レジスト塗布装置 露光装置 (レジストによる) 現像装置 洗浄装置 スパッタリング装置 (PVD) 化学気相成長装置 (CVD) 原子層積層装置 (ALD) めっき装置 RIE アッシング装置	サポートウエハ剥離装置 洗浄装置 検査装置 ダイシング装置 ダイボンダ モールディング装置
設計・シミュレーター (ソフトウェア)	EDAツールとの連携 (製造装置のモニタリングデータとの連携、材料の物性データベース、後工程との連携) 各種シミュレーション (ウエハの反り、フォトリソグラフィー関連、CMPプロセス、配線プロセス、回路)		

* BSPDNにおけるTSVの径は数nm～数十nmと言われているため、そのような孔をあけるための精度を担保できるEUVレジストが用いられると想定される。

** 出所：SEMICONDUCTOR ENGINEERING (<https://semiengineering.com/whats-next-for-tsvs/>)

注：比較的蓋然性が高いと思われるニーズを列挙したものであり、全てのニーズを網羅しているわけではない。BSPDNの現状の開発段階に鑑みると、まだ想定されていないソリューションを提案する余地もあり、それにより、逆に列挙されたニーズが消える可能性もある点には注意が必要である。

出所：三井物産戦略研究所作成 (イメージ図は copilotにて作成)

3. まとめ

BSPDNは、AIデータセンターに求められる高速・大容量・低消費電力化のさらなる推進に不可欠な技術とみなされている。製造装置や材料、設計ツールといった半導体産業に関わる、あるいはこれから関わろうとする多くの企業に新たなビジネスの機会が生まれている。

事業検討においては、自らのコアとなる技術やそれが用いられる製造プロセスに立脚しつつも、ファウンドリーやその顧客が求める半導体の性能と、それを実現するための構造全体を見渡した上で、どのような仮説やあり姿を描いてスペックが定められているのか、可能な限り深く理解することが肝要である。

とはいえロジック半導体を筆頭とする先端半導体の開発や製造は、ファウンドリーやその顧客が決めるスペックのみをドライビングフォースとして進歩してきたわけではない。人と社会が抱える課題や半導体で叶えることのできる未来の姿を描く他の産業や、半導体製造のバリューチェーン全体にわたる数多くのプレイヤーが、これまで世界に存在しなかった、より良いソリューションを考案・提案し、時にすり合わせ、時に競争することを通じて進化し続けてきた。近年、ロジック半導体の最大のアプリケーションがスマートフォンからAIデータセンターに変わり、インフラとしてのエネルギー消費に加え、本論では触れなかったが水や有害化学物質の使用といった環境負荷の大きさに対する社会からの厳しい目への対応も迫られている。

したがって、この新たなビジネス機会に挑戦するプレイヤーに対しては、半導体ならではの厳しい品質管理に耐え抜くことのできる高い設計・製造の技術力に加え、性能と低環境負荷の両立を可能にする世界

初のソリューションを提案する創造力が試されるだろう。

当レポートに掲載されているあらゆる内容は無断転載・複製を禁じます。当レポートは信頼できるとされる情報ソースから入手した情報・データに基づき作成していますが、当社はその正確性、完全性、信頼性等を保証するものではありません。当レポートは執筆者の見解に基づき作成されたものであり、当社および三井物産グループの統一的な見解を示すものではありません。また、当レポートのご利用により、直接的あるいは間接的な不利益・損害が発生したとしても、当社および三井物産グループは一切責任を負いません。レポートに掲載された内容は予告なしに変更することがあります。