

チップレット

—新たな半導体の構造が変える競争環境—

三井物産戦略研究所 技術・イノベーション情報部

執筆：インダストリーイノベーション室 小川 玲奈

知財分析：知的財産室 石黒 隆介

Biz Tech フォーカス 2025

なぜこの技術を取り上げるのか

2024年に入り、(米) Intelの生成AI向け半導体「Gaudi 3」や(米) Appleのヘッドセット「Apple Vision Pro」用半導体R1(台) TSMC製造)など、チップレット技術の進展を反映した製品の発表が相次いだ。

8月のUCIe 2.0仕様リリースにより、(英) ARM、Intel、TSMCのグループ会社ら主要プレイヤー賛同の下でダイ間・チップレット間の接続仕様が整ったことから、本技術採用の障壁が下がり、本格的な普及が始まるタイミングだと考えられる。

Summary

- 求められる機能と価格のバランスにおいて、ハイパフォーマンスコンピューティングを皮切りに、チップレット技術の普及が進んでいる。
- チップレット技術は、標準化と業協による発展を志向しており、これによるサプライチェーンの変化や新規参入による非線形的な成長機会が設計・前工程起点で生まれつつある。

1. チップレットとは

チップレットは半導体業界の標準として、IEEE¹により次のように定義されている：「パッケージの種類ではなく、パッケージング構造の一部である。より大きく、複雑な集積回路²を形成するために、他のチップレットと情報のやりとりを行うことを前提に設計された半導体集積回路ブロック」³。定義だけではイメージし難いと思われるので、定義についての補足説明を行いながら、チップレットに至るまでの経緯を説明する。

1-1. 半導体集積回路ブロックとSoC⁴

特定の機能を実現するための集積回路のまとまりを、半導体集積回路ブロックと呼ぶ。従来のスマートフォンで半導体を実現している機能の例を挙げると、ネットや電話の利用に不可欠な通信、情報の保存(メモリ)、情報処理(プロセッサ)などがある。サイズや通信の遅延の重要度が比較的低い用途では、それぞれの半導体集積回路ブロックが個別にパッケージングされたものが電子基板の上に載せられている

¹ エレクトロニクス全般に関する研究を目的とする世界最大規模の電気・電子関係の技術者が集まる非営利団体。IEEEはThe Institute of Electrical and Electronics Engineers, Inc.の略で、日本語名称は電気電子学会。

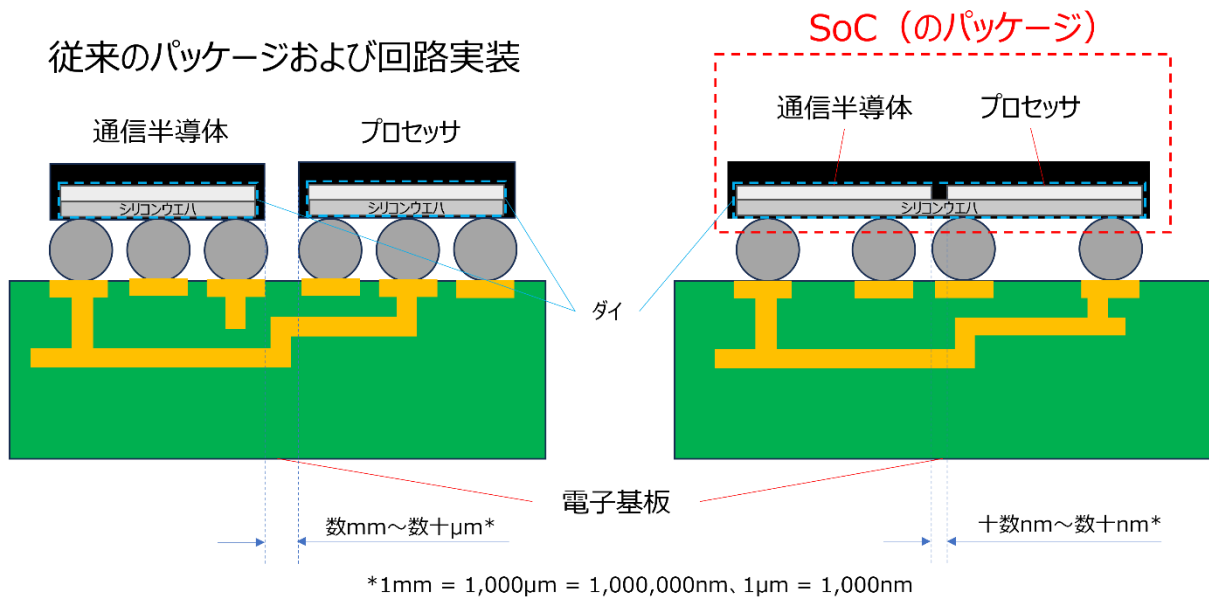
² 電子情報技術産業協会(JEITA)は「大きさ数mm～十数mm角のシリコン(Si)上に、トランジスタやダイオード、抵抗、コンデンサなどの回路素子を作り込み、それぞれの素子間を相互に配線することで、ある機能を持った電子回路として機能させるもの」と定義しており(出所)本稿でもこの説明に準じて使用する。

³ IEEE EPS (Electronics Packaging Society: IEEEの専門分科会のうちのひとつ) ウェブサイト [Chiplet Definition](#)

⁴ System-on-Chipの略

(図表1の左図)。しかし、スマートフォンなどのようにサイズや高速処理を重視する用途では、半導体の微細化の進展で、半導体集積回路ブロック間の通信距離（速度）が性能向上のボトルネックとなり、それぞれの機能をより緊密に連携させる必要が生じてきた。そこで普及したのが、異なる機能の半導体集積回路ブロックを同じシリコンウエハ上で作り込むSoCである（図表1の右図）。

図表1：従来のパッケージおよび実装回路とSoCのイメージ



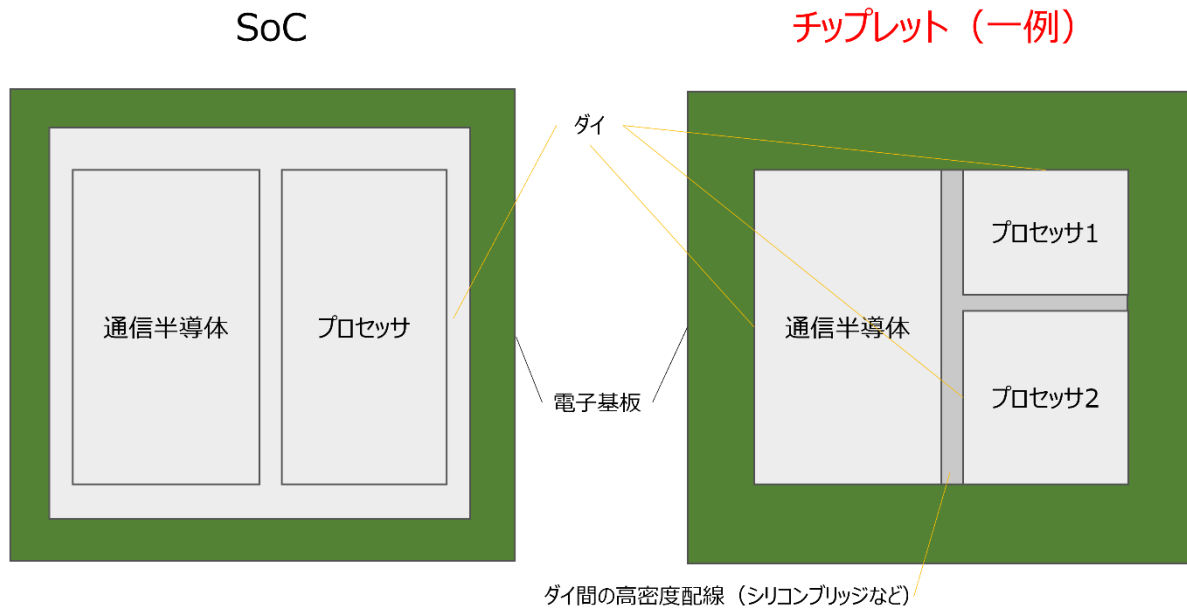
出所：各種情報から三井物産戦略研究所作成

1-2. SoCからチップレットへ

SoCがすべての機能を一つのダイ⁵に統合するのに対して、チップレットは機能ごとに分割して製造されたダイをSoCの通信距離に近いスケールの高密度配線をつなげるモジュール型である（図表2）。

⁵ 本稿では、チップレット誕生前から存在する名称であるダイという語彙（ごい）を採用した。Intelは、チップレットを構成するダイを「タイル」と呼び（一例）、IEEEやアカデミア（一例）などは、半導体集積回路ブロックたるチップレットとの対比で機能ブロック（Functional Block）と呼んでいる。

図表2 : SoCとチップレットのイメージ



出所：各種情報から三井物産戦略研究所作成

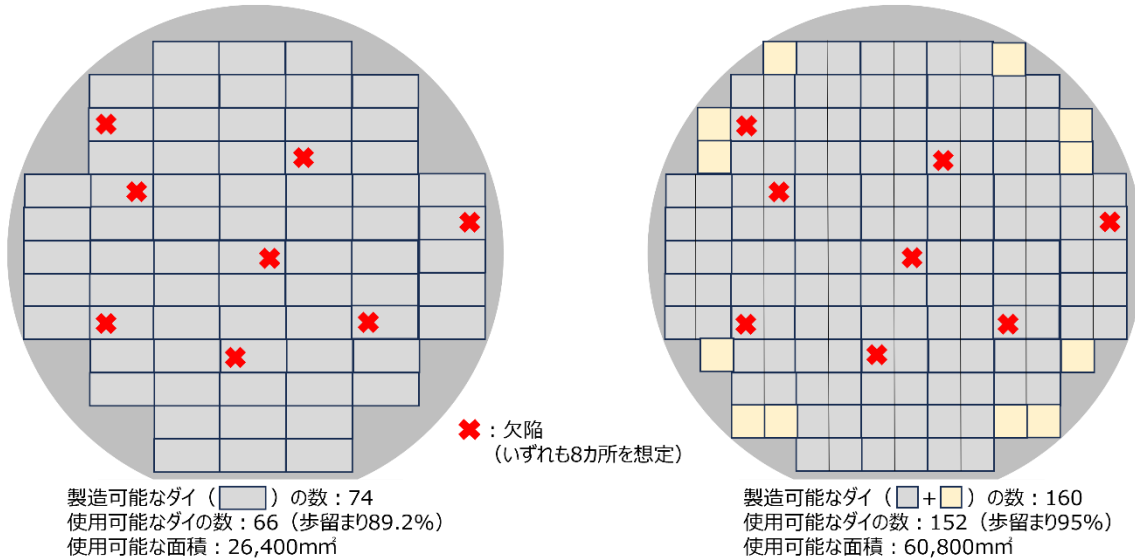
半導体産業では、提供する機能に対してコストが安くなければその技術は受け入れられない。しかし、サイズとコスト両面の最小化に貢献してきた微細化の効果が、設計・製造コストの急激な上昇⁶によって失われた。加えて、生成AIの急速な普及や自動車におけるCASE⁷時代の到来に対応すべく、SoCのサイズが巨大化すると、設計コスト、ウエハ1枚から製造可能なダイの数、欠陥一つに対して廃棄されるダイの面積の増大（図表3）といった課題が生じた。こうした背景の下、機能ごとに最適なプロセスで別々にダイを製造した後に、チップ間を接続するチップレットが性能とコスト両面で有利な状況となりつつある。

⁶ 代表値としてTSMCのプロセスノード（世代）別ウエハ1枚当たりの価格がある。データはTech Power UpおよびTom's Hardwareの記事を参照のこと。設計コストについては [Semiconductor Engineering](#) にデータあり。

⁷ Connected（クラウドや他の車両との無線通信）、Autonomous/Automated（自動化）、Shared/Service（シェアリングサービス）、Electric（電動化）という自動車に求められる新たな潮流。

図表3：ダイのサイズとウエハ1枚から製造可能なダイの数および欠陥が生じた際に使用不可能となるダイのイメージ

300mmウエハで20mm×20mmのダイを製造する場合



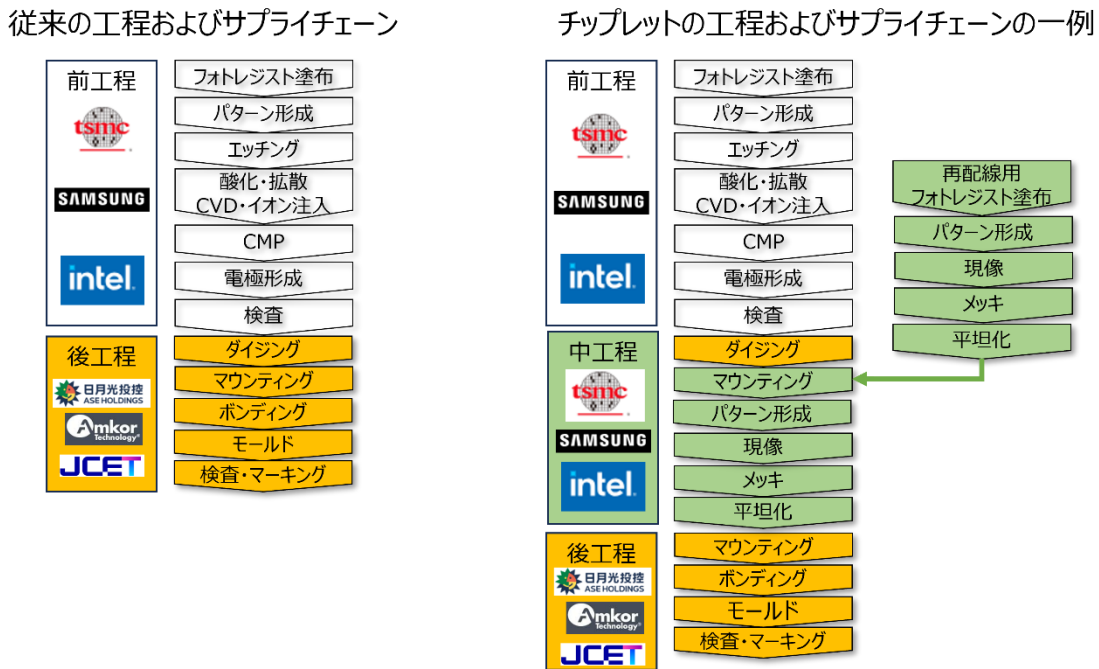
出所：各種情報から三井物産戦略研究所作成

1-3. チップレットで変わるパッケージングの構造、工程およびサプライチェーン

通常、ウエハから切り出したダイ一つ一つを樹脂やセラミックで封止し、ピンなどの導体を介して外部と電氣的に接続できるようなパッケージは、後工程で実施する。一方、チップレットでは、先にダイ間を電氣的に接続し、その後封止を行う。そのため、従来の半導体製造では明確に分けられていた前工程と後工程の間に新たな工程（中工程）が必要となる（図表4）。この中工程を担うのはTSMC、（韓）Samsung、Intelなどの前工程のプレーヤーである。中工程の設計に対応するために、2024年には、（米）Cadenceなど前工程に注力していたソフトウェアベンダーが、CAE⁸ソフトウェアメーカーを買収する動きが起きている。

⁸ Computer Aided Engineeringの略。機械や装置の設計のような、半導体前工程よりも大きなスケールの設計で広く用いられてきた。CAEソフトウェアでは、加熱などによる温度変化や、荷重がかかった際の変形シミュレーションを行うことが多い。2024年1月16日には（米）Synopsysが（米）Ansys買収を、同3月5日にはCadenceが（米）BETA CAE買収をそれぞれ発表した。

図表4: チップレットによる工程およびサプライチェーンの変化



出所：各種情報から三井物産戦略研究所作成

2. 注目すべき動向

ダイ間、さらにはチップレット間の接続を標準化するために、2022年に設立されたUniversal Chiplet Interconnect Express (UCIe) コンソーシアムが、2024年8月に仕様の第二版となるUCIe 2.0仕様をリリースした。水平・垂直（上下に重ねる）方向での接続仕様や、製品の管理にまつわる仕様が出そろった今こそ、チップレット採用の障壁が下がり、普及が本格化するタイミングであろう。これまで率先して関連製品を発表してきたIntelに加え、Cadence、ファブレス⁹の（米）AMD、ARM、（英）Alphawave Semi、（台）Global Unichip¹⁰、（米）Google、検査装置メーカーの（日）アドバンテストらが、この進展を支持する声明を出している¹¹。上記8社と並んで声明を出しているスタートアップ6社（図表5）の成長も期待される。

⁹ 自社で製造設備を持たず、製造委託を活用した半導体製品の設計・販売や知的財産のライセンスを生業としている半導体企業のこと。ライセンス専門の企業を別にIPベンダー/パートナーと呼ぶが、ここでは簡単のためファブレスとまとめた。
¹⁰ 台湾セミコンダクター・マニュファクチャリング・カンパニー（TSMC）が筆頭株主となっており、TSMCと緊密な連携の下、最先端のプロセスおよびパッケージ技術を用いた設計で業界をリードしている。
¹¹ 各社の声明は、UCIeコンソーシアムウェブサイト（下記）参照のこと。
https://www.uciexpress.org/_files/ugd/0c1418_74c8a7bba0714b489dd54ef658c1c968.pdf

図表5：チップレット関連の注目スタートアップ

企業名	本部所在地	概要	URL
Astera Labs	米国 カリフォルニア州 サンタ・クララ	元・テキサス・インスツルメンツのJitendra Mohan氏、Sanjay Gajendra氏、Casey Morrison氏が創業。データセンター向けにデータの流れを維持・効率化する技術を提供するファブレス企業。2022年「Next Billion-Dollar Startups（次世代のユニコーン）」に選出されている。	https://www.asteralabs.com/
Ayar Labs	米国 カリフォルニア州 サンノゼ	光を用いたデータ転送チップレットTeraPHY™を開発しているファブレス企業。チップレット内に光通信機能を持たせることで、従来のデータ転送と比較して4分の1～8分の1の電力で、5～10倍の帯域幅、遅延の10分の1短縮を実現できるとしている。NVIDIAからの出資を受けている。	https://ayarlabs.com/
Blue Cheetah	米国 カリフォルニア州 サニーバール	16nm～3nmプロセスのチップ間接続を柔軟にサポートする BlueLynx D2D IP を提供。COOのTom Kelly氏をはじめ、Cadenceアナログ部門出身のメンバーが複数在籍している。	https://www.bcanalog.com/
Eliyan	米国 カリフォルニア州 サンタ・クララ	インターポーザを使うことなく、標準的な有機基板上でチップレット間を高速に接続する技術NuLink™を開発。5nmおよび3nmプロセスでの設計が完了し、IPを提供している。	https://eliyan.com/
eTopus	米国 カリフォルニア州 サンノゼ	データセンターや5G通信、企業の自社運用情報システム向けに、異なるデータ転送や接続点での転送ロスを最小化するソリューションePHY™を提供している。	https://etopus.com/
Kandou Bus	スイス サン＝シュルピス（ローザンヌ市郊外）	電子部品間のデータ転送エラーや遅延を極小化する技術を提供。USBの最新規格や外付けメモリ等向けの高速度規格PCIeのためのデータ伝送技術の他、AR/VRグラスの電子部品間の高効率な接続を可能にするGlasswing™ IPを提供している。	https://kandou.com/about/

出所：各社ウェブサイトから三井物産戦略研究所作成

3. 今後の展望

すでに、CPUやGPUなどのダイと、メモリや複数のダイの間をシリコンでつなぐ、チップレット第一世代的位置付けの技術は、（米）NVIDIA、AMD、Intelの生成AI向けを含むハイパフォーマンスコンピューティング向けの半導体¹²で採用されている。今後、ダイ間の配線が現状の16nm～12nmプロセスから7nmプロセスに移行するタイミングで、GPUを機能分割してチップレットとして製造する「Ghilet」への移行が進むだろう¹³。

5年後には、車載用半導体でもチップレットの採用が始まると予想される。自動車用先端SoC技術研究組合¹⁴が、チップレット技術を適用した車載用半導体を2030年以降に量産車に搭載すべく開発に取り組んでおり、チップレットはCASEの進展にも重要な役割を果たすだろう。

¹² NVIDIAは、2016年発売のVR、AI向けGPU搭載のグラフィックスプロセッサGP100から2024年3月発表の生成AI特化型GのBlackwell GPUまで、GPUとメモリ（HBM）をシリコンのインターポーザで接続する、TSMCのCoWoS（Chip on Wafer on Substrate）という技術を採用している。AMDが2023年12月に発売したGPU Instinct MI300シリーズも、CoWoSを採用している。Intelが2024年4月に発表しているAI学習向けチップ Gaudi 3では、2つのダイを「EMIB（Embedded Multi-die Integrated Bridge）」と呼ばれるシリコンブリッジで接続し、一つのチップとして動作する構成となっている。

¹³ 2022年9月にIntelが発表したハイパフォーマンスコンピューティング用のGPU「Ponte Vecchio」は、47個のダイをEMIBと3D接続を使って接続・一つのパッケージに収めた、Ghiletの手本的な製品とされる。EUVリソフレイヤーを用いる7nmプロセス設備の有効活用と、ダイの巨大化・微細化にかかるコストとのバランスに基づいた予想である。

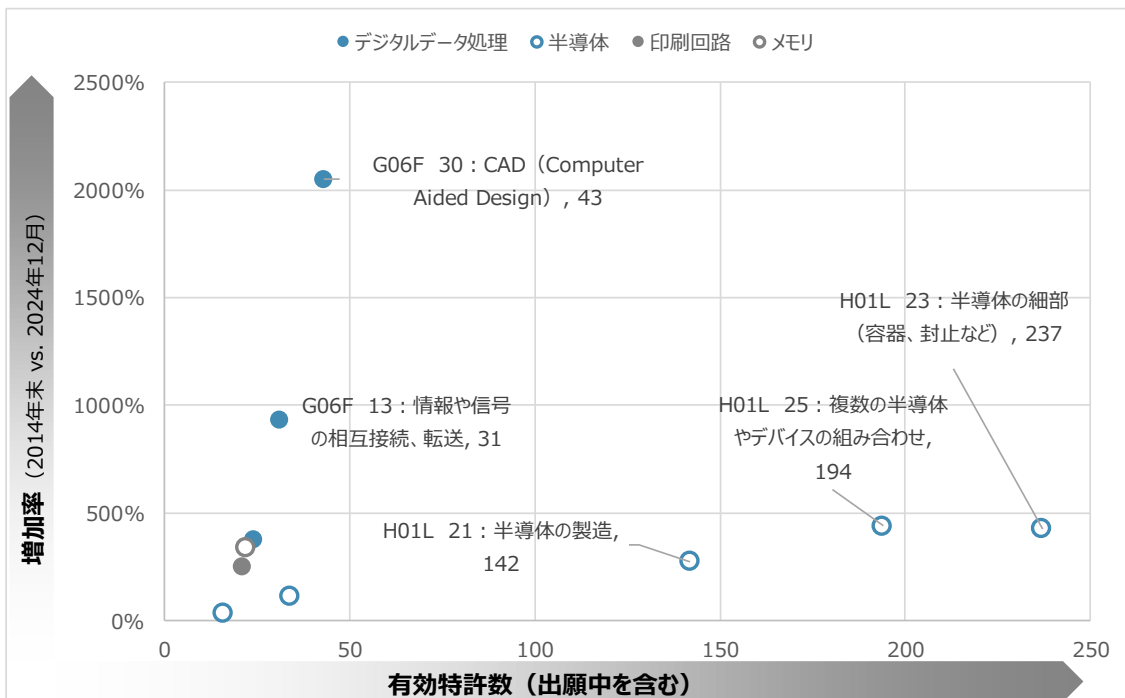
¹⁴ 2023年12月1日に設立され、現在、（日）SUBARU（スバル）、（日）トヨタ自動車、（日）日産自動車、（日）ホンダ、（日）マツダ、（日）デンソー、（日）パナソニック オートモーティブシステムズ、（日）ソシオネクスト、（日）日本ケイデンス・デザイン・システムズ、（日）日本シノプシス、（日）ミライズテクノロジーズ、（日）ルネサス エレクトロニクスの12社が参画している。

チップレットに関する知財分析

本技術に関連性の高い「チップレット」などのキーワードや、半導体やCAD（Computer Aided Design）に関連する技術分類コード（IPC）などを特定（2024年12月時点で出願中を含む有効特許数¹⁵は289件）し、技術分類別、上位プレーヤー別の分析を行った。

図表6は、チップレット関連の有効特許数とその増加率を比較した結果で、横軸が有効特許数、縦軸が2024年12月時点と2014年末時点での有効特許数を比較した増加率を表している。この結果から、半導体細部（H01L30）やモジュールの関連技術（H01L25）を中心に注目が強まっており、近年はCAD（G06F30）に含まれる設計ツール（Electronic Design Automation：EDA）の特許数も大きく増加していることがわかる。

図表6：有効特許数、増加率（技術分類別）

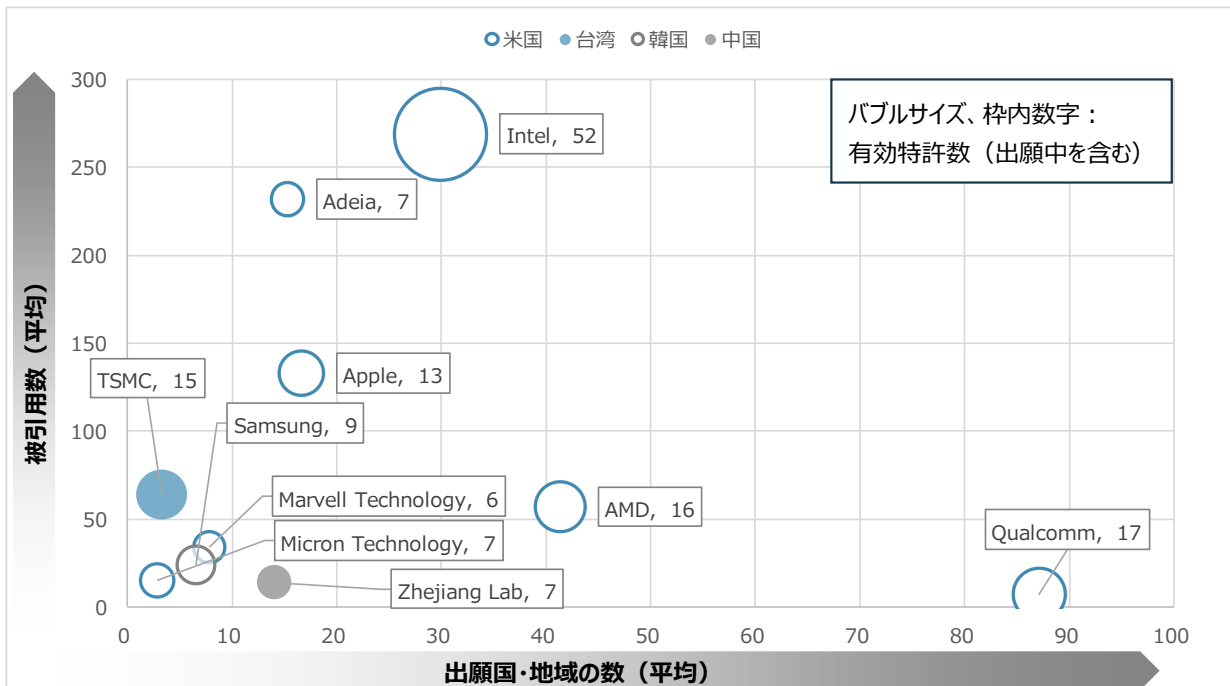


出所：LexisNexis PatentSightのデータから三井物産戦略研究所作成

¹⁵ 出願された特許、および審査を経て特許権としての権利行使が可能な状態にある特許の総数。

図表7は、チップレット関連の特許数における上位プレーヤーを比較した結果で、バブルサイズが有効特許数、横軸が出願国や地域の数の平均値、縦軸が技術影響度の大きさを示す被引用数の平均値を表している。この結果から、米国企業が上位陣の多くを占め、チップレット技術における影響力の大きさを示している。2位以下に差を付けてトップのIntelは、2022年以降にUCIe規格と関連性が非常に高いと思われる特許（文献内にUniversal Chiplet Interconnect Express、またはUCIeの記載がある）を7件出願している。いずれも審査中ではあるものの同社の本気度がうかがえる。

図表7：有効特許数、出願国・地域数、被引用数（上位プレーヤー別）



出所：LexisNexis PatentSightのデータから三井物産戦略研究所作成

小川 玲奈 Reina Ogawa / 主席研究員
 専門分野：先進マテリアル、電子デバイス

石黒 隆介 Ryusuke Ishiguro / シニアマネージャー
 専門分野：知的財産権、知財コンサルティング

当レポートに掲載されているあらゆる内容は無断転載・複製を禁じます。当レポートは信頼できるとされる情報ソースから入手した情報・データに基づき作成していますが、当社はその正確性、完全性、信頼性等を保証するものではありません。当レポートは執筆者の見解に基づき作成されたものであり、当社および三井物産グループの統一した見解を示すものではありません。また、当レポートのご利用により、直接的あるいは間接的な不利益・損害が発生したとしても、当社および三井物産グループは一切責任を負いません。レポートに掲載された内容は予告なしに変更することがあります。